

Architectures

réseaux petit-monde par recâblage aléatoire partiel d'un réseau régulier

Structure de réseau émulant celle du système nerveux du ver *Caenorhabditis elegans*

Réseau de neurones à structure aléatoire

Neurones de chat sur puce de Si Image Fromherz (2003)

Chemin des données programmable

Architecture programmable

Application

Evaluation Fitness

Algorithme Evolutionniste

Contrôle

Opérateurs arithmétiques tolérants aux fautes

Logique programmable

Mémoire / registres tolérants aux fautes

Systèmes de calcul futurs : inspirations basée sur l'organisation des réseaux de neurones biologiques. A moyen terme : évaluation des performances de réseaux d'interconnexion de multi-processeurs on-chip à structure partiellement désordonnée (*gauche*). A plus long terme : émergence de nouvelles fonctions : réseaux de neurones à connexion totalement aléatoire, neurones biologiques sur Si (*droite*).

Implantation robuste de fonctions du traitement du signal : illustration de deux approches proposées pour régler le problème de la fiabilité dans les systèmes de traitement du signal :

- opérateurs arithmétiques robustes,
- architecture reconfigurable

Circuits

(a) fonction logique

~800nW@20GHz

~30nW@250MHz

(b) Inverseur ou suiveur

V _{inA}	V _{inB}	V _{inC}	Y
+V	+V	+V	A+B
+V	+V	-V	A+B
+V	-V	+V	A.B
+V	-V	-V	A+B
-V	+V	+V	A.B
-V	+V	-V	A+B
-V	-V	+V	A.B
-V	-V	-V	A.B

(c) CARRY

Pd

P3OT

APTS

SiO₂

Si⁺⁺

OGNTFET

Optically gated CNTFET

L'architecture SMAL: Spike Modulation Adaptive Lattice (grille d'OGNTFET)

Nous avons développé une cellule dynamiquement reconfigurable CNT-DR8F (a) qui exploite la caractéristique ambivalente des CNTFET double-grille et peut réaliser une parmi 8 fonctions booléennes élémentaires (b). Un additionneur complet pipeliné a été réalisé à partir de cette cellule (c).

Implémentation matérielle de réseau de neurones. Le nanocomposant développé par le LEM (OGNTFET) est actuellement exploité pour réaliser une synapse, constituant essentiel d'un réseau de neurones.

Composants

Statique

Dynamique ?

Conclusion: F_T augmente avec EOT

Perspective: Validation par simulations petit signaux

a) Schéma électrique du modèle

b) Comparaison entre les simulations analytiques du courant de drain I_D (notre modèle : lignes et pointillés) et les simulations numériques (simulateur de l'université de Purdue : symboles).

Transistors à grille cylindrique simulés avec prise en compte des interactions électrons-phonons. Les caractéristiques I_D - V_{GS} ($V_{DS} = 0,4V$) montrent que les performances sont meilleures en diminuant l'épaisseur d'oxyde équivalente (EOT) en SiO₂ (en haut à gauche). La capacité de grille C_G évolue différemment de la capacité géométrique C_{ox} et montre une saturation en diminuant EOT: c'est le régime de la capacité quantique (en bas à gauche). A partir des caractéristiques statiques, on peut extraire la fréquence de transition F_T . Elle augmente avec EOT : confirmé par des résultats expérimentaux. Des simulations petit signaux devraient permettre de valider ces résultats et d'extraire un schéma équivalent du transistor.

Élaboration d'un modèle compact de CNTFET :

- Schéma électrique du modèle
- Comparaison entre les simulations analytiques du courant de drain I_D (notre modèle : lignes et pointillés) et les simulations numériques (simulateur de l'université de Purdue : symboles).

CONTACT : <http://nanosys.ief.u-psud.fr>

Coordinateur: ERIC BELHAIRE - IEF UMR8622 - CNRS / Université Paris Sud- 91405 Orsay