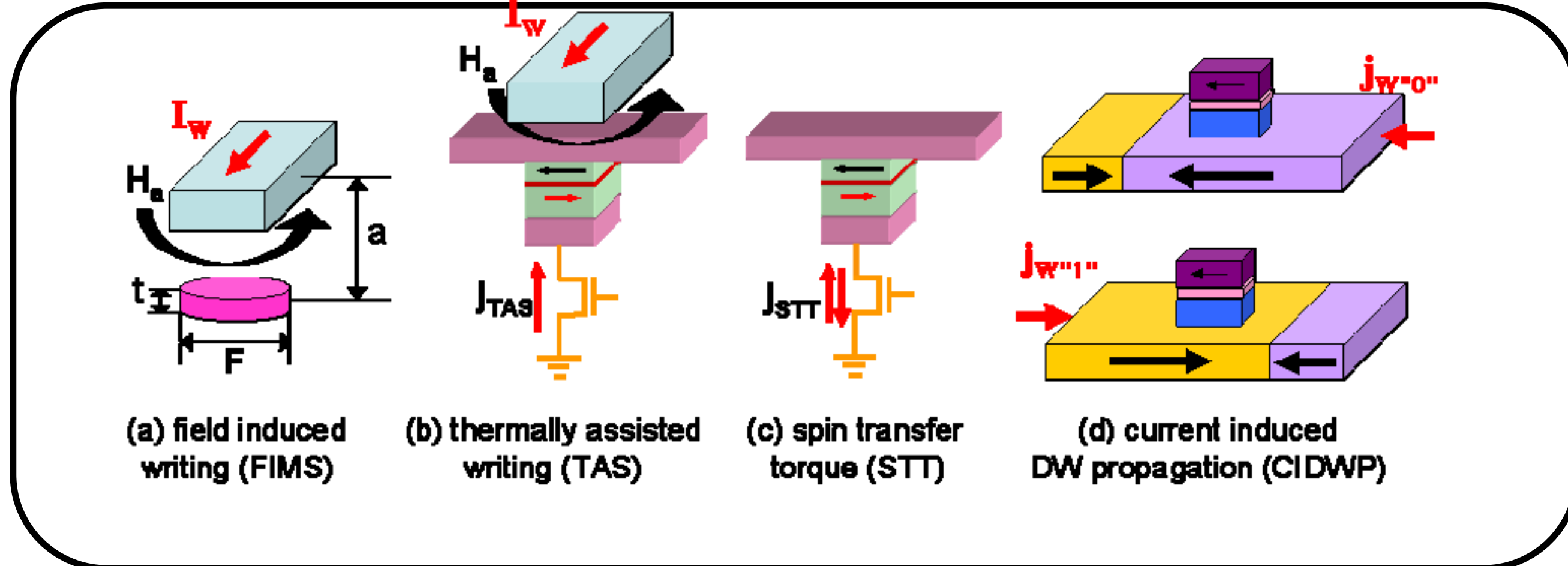


CALCUL LOGIQUE PROGRAMMABLE UTILISANT DES ELEMENTS MEMOIRES MAGNETIQUES (CALOMAG)

La cellule mémoire magnétique MRAM



La cellule mémoire magnétique MRAM promet non volatilité et vitesse de retournement. Il en existe plusieurs versions (images de gauche) différent par le mode d'écriture, mais utilisant toutes une jonction tunnel magnétique (JTM). La première action de CALOMAG a donc été de développer des modèles électriques de JTM adaptés à la plateforme de simulation CADENCE, d'abord en mode d'écriture FIMS (image de droite, SPINTEC), puis TAS (SPINTEC) et STT (IEF).

The model has also the following features:

- Tunneling conductance through the Brinkman, Dynes and Rowell theory (WKB approximation)
- Empirical law for the TMR bias dependence
- Demagnetization factors calculation, a maximum length of 500 nm for an elliptical or rectangular shape. Possibility of manual entries for specific shapes or empirical values.
- Magnetic fields calculations through Biot and Savart theory

```

struct devDescriptor smtjDescriptor = {
    CML_VERSION,
    "smtj",
    "Compat magnetic tunnel junction model",
    6,
    smtj_term_name,
    6,
    sizeof(t_smtj_privmod),
    YES,
    IFparam_smtj_model_Ptr,
    ARRAY_SIZE(IFparam_smtj_model_Ptr),
    sizeof(t_smtj_privinst),
    IFparam_smtj_instance_Ptr,
    ARRAY_SIZE(IFparam_smtj_instance_Ptr),
    4,
    0 ...
};
    
```

Circuits logiques utilisant des cellules magnétiques

SRAM "magnétique"

(W. C. Black Jr. and B. Das, J. Appl. Phys. 87, 6674 (2000))

Intégrer des cellules mémoires MRAM dans une structure de circuit logique programmable offre de nombreux avantages:

- non volatilité de la fonction logique programmée sur les cellules magnétiques.
- grande intégration des JTM dans le circuit, permettant un redémarrage instantané
- possibilité de reprogrammer la fonction logique pendant l'opération

La "Look Up Table" (LUT)

Conventional implementation
Magnetic implementations

Schéma d'une porte MS Flip-Flop magnétique utilisant l'écriture "STT" par "transfert de spin" (IEF)

"maître" "esclave"

Layout d'une porte MS Flip-Flop magnétique (IEF, SPINTEC)

Premier circuit CMOS (0.35µm) incluant des circuits tests de LUT à différents niveaux d'intégration; jusqu'au FPGA (LIRMM)

Le LIRMM, l'IEF et SPINTEC ont conçus divers circuits logiques programmables intégrant des éléments magnétiques, en s'appuyant sur les compétences fondamentales du LPS (micromagnétisme), de TIMA (technologie CMOS/CMP) et de l'IRISA (conception FPGA). Un premier circuit a été réalisé en fonderie CMOS 0.35µm (photo de droite). La partie magnétique est en cours de réalisation avec le Pr. P. Freitas (INESC-NM, Lisbon, Portugal). Un deuxième circuit conçu par IEF et SPINTEC (images de gauche et du centre) sera bientôt réalisé en technologie 90nm dans le cadre du contrat Européen MAGLOG (avec ST Microelectronics et l'Université de Bielefeld). Trois thèses ont été soutenues par CALOMAG: V. Javerliac (SPINTEC), N. Bruchon (LIRMM) et W. Zhao (IEF). L'action du consortium va se poursuivre dans le cadre du projet ANR/P-Nano 2006 CIOMAG, avec la participation de la start-up CROCUS.