



IEF, UMR 8622 CNRS/Université Paris Sud

SPINTEC, URA 2512 CNRS/CEA Grenoble

LETI/DIHS/LIMN, CEA Grenoble

LIRMM, UMR 5506 CNRS/Université Montpellier II

CMP, UMS 3040, Grenoble

CROCUS Technology SA, Grenoble



OBJECTIFS:

→ explorer le potentiel des circuits hybrides CMOS/jonctions tunnels magnétiques pour les circuits logiques reprogrammables. **Avantages:**

non-volatilité, rapidité de commutation, intégration « Above IC »

→ en particulier:

- développement de modèles « SPICE » pour simulation électriques
- architectures logiques basées sur nouvelles méthodes de commutation d'aimantation
- architectures logiques basées des interactions magnétiques (ex: paroi magnétique).
- la mise en place d'une filière magnétique 200mm post-process CMOS.

SP1 - Physique en amont des applications à la logique magnétique (SPINTEC)

Nouveaux modes de commutation de l'aimantation

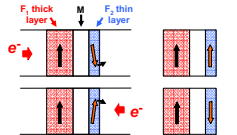
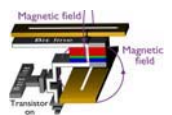
Commutation thermiquement assistée de jonctions tunnel magnétiques (SPINTEC, CROCUS)

Commutation par « transfert de spin » de jonctions tunnel magnétiques (IEF, SPINTEC)

Commutation par déplacement d'une paroi de domaine induite par impulsion de courant (IEF, SPINTEC)

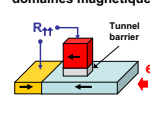
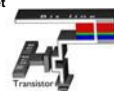


Technologie d'écriture: chauffage par impulsion de courant au dessus de la température de blocage de l'AFM → cellule mémoire **TAS-RAM**



Principe: interaction d'échange entre le spin des électrons de conduction et l'aimantation

Cellule mémoire **Spin-RAM**



cellule MRAM « écrite » par propagation de paroi magnétique (dém. NEC, ISSCC 2009)

NOUVEAU: IEF (+ANR ISTRADE)
 • effets stochastiques liés au dépiégeage induit par courant
 • caractérisation du terme de couplage spin électrons/aimantation (article à paraître dans Nat. Phys. 2009)

SP2 - Conception et architecture de circuits logiques magnétiques (IEF)

→ modèles SPICE de cellules TAS-RAM et Spin-RAM (SPINTEC, CROCUS, IEF)
 → Pour le RUN 1 : cellules de base (LUT, Flip-Flop, ...) utilisant des cellules mémoires magnétiques (SPINTEC, LIRMM, IEF)

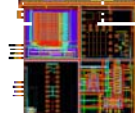
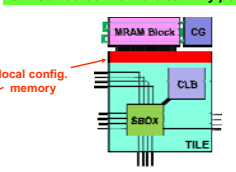
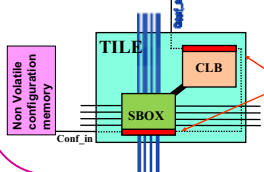
→ Pour le RUN 2 : cellules optimisées (IEF, LIRMM) et circuits logiques « FPGA » (LIRMM, SPINTEC)

FPGA conventionnel: matrice de « Tiles » programmables, configurées depuis une mémoire non volatile externe

MRAM-FPGA: la mémoire locale de configuration de chaque « Tile » est rendue non volatile par des MRAM

En 2009: 2 brevets (IEF, LIRMM) et dessin des masques du RUN 2 pour tester toutes les solutions

→ instant on/off for zero standby power



Area = 16 mm², CMOS 130nm, cellule 120nm

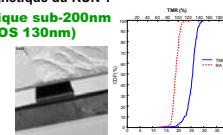
SP3 - Réalisations technologiques (LIMN)

→ nanofabrication magnétique « above CMOS » au LETI (technologie 200 nm)

- Basé sur technologie 0.35mm
- Jonction tunnel en mode d'écriture FIMS et TAS
- Taille de point mémoire minimale de 0.35mm
- fabrication « Back End magnétique du RUN 1

→ nanofabrication magnétique sub-200nm au LETI pour le RUN 2 (CMOS 130nm)

Mise au point de l'étape critique de gravure IBE des points mémoire



→ circuits logiques à parois de domaines (IEF)



- porte logique NOT basée sur l'interaction dipolaire

J. Jaworowicz et al., Nanotechnology 20, 215401 (2009) col. IEF + SPINTEC + LPS Orsay

→ filière technologique « Back End magnétique » complète en cours de mise en place au LETI (programme national RTB)

SP5 - Caractérisation et test des circuits (LIRMM)

→ en cours: tests sur plaque entière des circuits du RUN 1 chez SPINTEC, avant packaging pour distribution aux partenaires (IEF, LIRMM)

SP4 - Mise en place de la filière CMP "magnétique" (CMP)

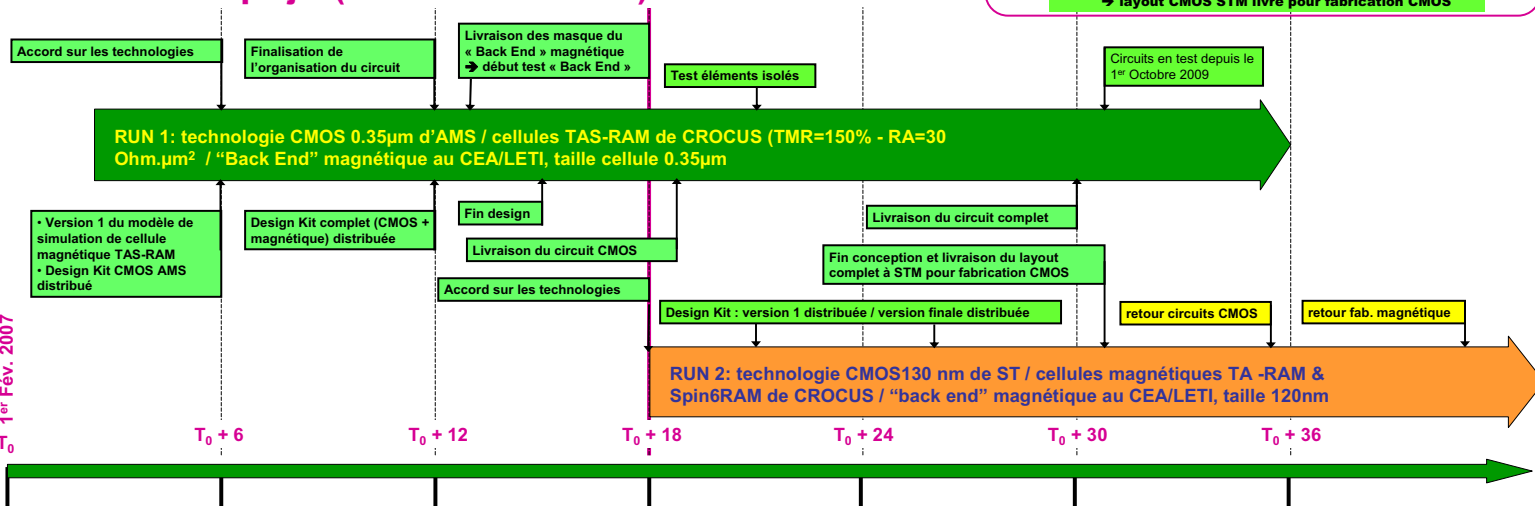
→ mise en place de « Design Tool Kits » complets pour la conception, la simulation et la sortie « layout » de circuits logiques magnétiques

- en technologie CMOS 0.35 µm d'AMS
- en technologie CMOS 130 nm de ST Microelectronics

→ réalisation CMOS en « wafer multi-projets » chez le fondeur CMOS choisi

- wafer CMOS AMS + Back End magnétique en test
- layout CMOS STM livré pour fabrication CMOS

Avancement du projet (T0+31: 1^{er} Oct. 2009)



T₀ 1^{er} Fév. 2007